

Scanned 2/17/2005

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

02745035 **Image available**

ACTIVE MATRIX TYPE DISPLAY ELEMENT

PUB. NO.: 01-042635 [JP 1042635 A]

PUBLISHED: February 14, 1989 (19890214)

INVENTOR(s): IMASHIRO NOBUHIKO

YUKI MASAKI

APPLICANT(s): ASAHI GLASS CO LTD [000004] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 62-199032 [JP 87199032]

FILED: August 11, 1987 (19870811)

INTL CLASS: [4] G02F-001/133; G09F-009/30; H01L-027/12; H01L-029/78

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other)

JAPIO KEYWORD:R003 (ELECTRON BEAM); R004 (PLASMA); R011 (LIQUID
CRYSTALS);

R044 (CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 879, Vol. 13, No. 239, Pg. 65, June
06, 1989 (19890606)

ABSTRACT

PURPOSE: To prevent the deterioration of the surface quality in the titled
element by forming a light shielding film composed of a conductive
substance on a part where the semiconductor layer of an active device is
not shielded by an electrode, a part where the electrode is not provided
and a part of a picture element electrode, respectively.

CONSTITUTION: The shielding film 9 for the shielding film, the accumulation
capacity and the black matrix is used for the accumulation capacity by
being connected with an external terminal. Namely, the shielding film is
mounted on the part 11 where a source electrode or a drain electrode is not

formed. And, the picture element electrode for display, the part 12 forming the accumulation capacity faced to the part of said electrode and the part 13 constituting of the black matrix, namely the part 13 except an opaque gate electrode, the source electrode, the drain electrode and the transparent picture element electrode for display, are covered with the shielding film, respectively. Thus, the increase of an off-state current is suppressed at the time of a light state of the titled element, thereby enabling the stable driving and preventing the reduction of contrast in the titled element.

?

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-42635

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月14日

G 02 F 1/133
G 09 F 9/30
H 01 L 27/12
29/78

3 2 7
3 3 8
3 1 1

7370-2H
7335-5C
A-7514-5F
N-7925-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 アクティブマトリックス型表示素子

⑯ 特 願 昭62-199032

⑰ 出 願 昭62(1987)8月11日

⑱ 発 明 者 今 城 信 彦 神奈川県横浜市港南区東永谷3-21-19
⑲ 発 明 者 結 城 正 記 神奈川県秦野市南矢名1668-6
⑳ 出 願 人 旭 硝 子 株 式 会 社 東京都千代田区丸の内2丁目1番2号
㉑ 代 理 人 弁 理 士 梅 村 繁 郎 外1名

明 細 書

1. 発明の名称

アクティブマトリックス型表示素子

2. 特許請求の範囲

- (1) 透明絶縁性基板上に行列状に電極を配し、行列状の電極の交差点付近に能動素子を配し、画素電極に接続したアクティブマトリックス型表示素子において、少なくとも能動素子の半導体層が電極により遮蔽されていない部分、電極が設けられていない部分及び画素電極の一部の上に絶縁膜を介して導電性物質による遮光膜を形成したことを特徴とするアクティブマトリックス型表示素子。
- (2) 遮光膜の開口部が画素電極のパターンよりも小さくされている特許請求の範囲第1項記載のアクティブマトリックス型表示素子。
- (3) 電極上の遮光膜が、電極のパターンよりも小さい開口部を有する特許請求の範囲第1項記載のアクティブマトリックス型表示素子。

(4) 遮光膜が金属材料である特許請求の範囲第1項～第3項のいずれか一項記載のアクティブマトリックス型表示素子。

(5) 遮光膜が外部に取り出されるリードに接続され、外部から入力される信号により電位を制御される特許請求の範囲第1項記載のアクティブマトリックス型表示素子。

(6) 能動素子がトランジスタである特許請求の範囲第1項または第5項記載のアクティブマトリックス型表示素子。

(7) 半導体がシリコンである特許請求の範囲第1項～第5項のいずれか一項記載のアクティブマトリックス型表示素子。

(8) 表示が液晶によって行われる特許請求の範囲第1項～第7項のいずれか一項記載のアクティブマトリックス型表示素子。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、各画素毎に能動素子を形成した能動素子基板を用いたアクティブマトリックス型

表示素子に関するものである。

[従来の技術]

最近のOA機器端末やポータブルテレビ等の実現のために、平面ディスプレイの開発が盛んに行われている。

これを実現するための手段として行列状に電極を配した表示素子において、行列状電極の交差点近傍に能動素子を配して、これによってスタティック駆動に近い表示素子の駆動を行う、いわゆるアクティブマトリックス方式が盛んに研究開発されている。

このような目的に用いられる能動素子の構造及び材料に関しては、種々の提案がなされている。

このような表示素子の代表例として薄膜トランジスタがあり、第2図に從來からよく知られている逆スタガー構造を有する薄膜トランジスタ(TFT)の断面図を示す。

この第2図において、21はガラス等の絶縁性基板、22は In_2O_3 - SnO_2 (ITO)、 SnO_2 、Al、

3

薄膜半導体層を用いる場合には、光誘起電流の効果を無視して考えることは不可能である。

一方、液晶表示素子として一般的には透過型の表示素子が用いられており、薄膜半導体層の上下いずれの方向から光が入射してくることを防ぐことは困難である。この光誘起電流を抑止するために、従来次ぎのような方法が提案されている。

①外部からの光の入射を防止するために、金属からなる遮光膜を形成する。

②光誘起電流を抑止するために、半導体層を極薄膜化し、全体として誘起されるキャリアの数を減少させる。

③光誘起電流を抑止できるような不純物を半導体層の中にドーブし、光誘起電流を抑止する。

上記の②または③の方法は、光誘起電流を抑止する効果がないわけではないが、この効果と同時に能動素子の特性自体を劣化させる傾向もあり、非常に製膜法が限定されるために量産を想定した場合に制約条件になる可能性を秘めて

Cr等の表示画素電極、23は夫々ITO、 SnO_2 、

Al、Cr等ゲート電極兼ゲート線、24はゲート絶縁膜、25はアモルファスシリコン、ポリシリコン、単結晶シリコン、CdSe等の半導体層、26はAl、Cr等のソース電極、27はAl、Cr等のドレイン電極を示している。

従来、このような構造のTFTを液晶表示素子の1画素当たり1個ずつ形成して能動素子として用い、スタティック駆動に近い表示品位を有する液晶表示素子を得ていた。

[発明の解決しようとする問題点]

しかし、1画素に少なくとも1個必要な能動素子を大面積にわたって形成するためには、大面積にわたって均一に種々の膜を堆積させる技術が必要とされる。種々の膜の中でも、素子特性を規定するということから半導体層についての要求条件が最も厳しいものである。

この観点から考えた時に最適な半導体層は、製膜法を大型化することが容易なアモルファスシリコン等の薄膜半導体層である。このような

4

いる。そのために①の方法が主に用いられている。

一方、上記の問題とは別に大規模情報表示素子としての要求に対応していくと、基板の大型化の過程において、外部駆動回路の負担を低減するため、及び表示素子としての表示品位を向上させるために1画素あたりにある程度の容量成分を、液晶層の固有の容量成分と並列に入れることが必要になる。

このために、従来フォトリソグラフィーの工程を増やすことで対応してきた。

ところが、TFTの製造プロセスという観点から考えると、工程数を増やすことは新たな欠陥発生の原因となることがあるので、望ましくはない。

また、容量成分の形成を前述した遮光膜と兼用することでも対応してきた。

この場合には、遮光膜の形成により同時に容量成分が形成されるため、新たな工程の増加なしに両方の問題点を解決できる。

6

このような容量成分兼用の遮光膜を設けた能動素子を使用した液晶表示素子では、容量成分によるより安定したスタティック駆動による表示が得られるとともに、半導体層に光が入射しない構成となっているため、アモルファスシリコンのように光誘起電流を生じ易い半導体層を使用しても光誘起電流を生じなく、安定した表示が得られる。

このような欠陥が抑制されてきた結果、つぎには電圧が印加されていない部分からの非旋光性透過光が問題となってきた。

即ち、液晶表示素子では電極間には電極間電気絶縁のために無電極の部分の設けなくてはならず、この部分から光が漏れてくる。このため、コントラストが低下したり、視野角が狭くなってしまうというような欠点を生じさせ、表示素子としての表意品位が低下してしまうという問題点を有していた。

これを防止するために、この電極の存在しない部分に遮光膜を設け、光の漏れを無くす、所

7

述の3つの問題点である半導体層の遮光による光誘起電流、画素毎の蓄積容量及びブラックマトリックスの問題点をすべて解決することができるものである。

以下の説明では、能動素子として薄膜トランジスタ(TFT)を例にして説明するが、TFT以外の能動素子であっても光誘起電流を生じ易い能動素子であれば本発明の効果を生じることができる。

以下図面を参照して説明する。

第1図は、本発明のアクティブマトリックス型表示素子の代表的な例を示しており、(a)はその画素付近の平面図、(b)はそのTFT部分のAA断面図を示している。

第1図において、1はAl、Cr等のゲート電極(ゲートバスライン)、2はSiON等のゲート絶縁膜、3はアモルファスシリコン、ポリシリコン、単結晶シリコン、CdSe等の半導体層、4はn⁺アモルファスシリコンのような不純物をドーブした半導体層、5はAl、Cr等のソース電極

謂ブラックマトリックスが行われている。このブラックマトリックスは通常は対向電極基板側に設けられているが、この形成のために工程が増加し、かつセル化時に極めて正確な位置合せを要するようになり、生産性が低下し、歩留まりが低下する言う問題点を有していた。

[問題を解決するための手段]

本発明は、かかる問題点を解決すべくなされたものであり、透明絶縁性基板上行列状に電極を配し、行列状の電極の交差点付近に能動素子を配し、画素電極に接続したアクティブマトリックス型表示素子において、少なくとも能動素子の半導体層が電極により遮蔽されていない部分、電極が設けられていない部分及び画素電極の一部の上に絶縁膜を介して導電性物質による遮光膜を形成したことを特徴とするアクティブマトリックス型表示素子を提供するものである。

本発明によれば、1回のフォトリソグラフィの工程により、従来から問題とされてきた前

8

(ソースバスライン)、6はAl、Cr等のドレイン電極、7はITO(In₂O₃-SnO₂)、SnO₂等の表示画素電極、8はSiO₂、SiON、TiO₂等の絶縁膜、9は本発明の遮光膜兼蓄積容量兼ブラックマトリックス用の遮光膜を示している。この遮光膜は、外部に引き出される端子に接続されて蓄積容量として使用される。

第1図(a)において、ハッチングで示した部分が本発明の遮光膜兼蓄積容量兼ブラックマトリックス用の遮光膜9の部分であり、第1図(b)の範囲IIの部分は半導体層に対する遮光膜(光誘起電流を防止する)、12の部分は蓄積容量を形成する部分(安定したスタティック駆動を可能にする)、13の部分はブラックマトリックス部分(電極間隙からの光の漏れを防止する)、14の部分はこれらの何れの機能も持たないが、遮光膜が形成され、位置合せの許容度を増加させる効果を持つ部分を示している。

半導体層の部分であってソース電極又はドレイン電極が形成されていない部分には遮光膜が

11で示されるように設けられ、TFTの上側からの半導体層のトランジスタ構成部分への光の入射を防止し、これにより光誘起電流が大幅に減少するので、表示の安定化に大きな効果を生じる。なお、TFTの下側からの光は、半導体層下側のゲート電極によってその入射が防止されるので、この方向からの光の入射による光誘起電流の問題も生じない。

また、表示画素電極とその一部が対向する部分12は蓄積容量を構成する部分であり、安定なスタティック駆動が可能となる。それと同時に位置合せ時にずれを生じた場合にも後述するブラックマトリックス効果を損しないという役目も有している。

図中13で示される部分が、ブラックマトリックスを構成する部分であり、不透明なゲート電極、ソース電極、ドレイン電極及び透明な表示画素電極以外の部分を不透明な遮光膜で覆うことにより、これらの部分から制御されない光が漏れ出してくることを防止できる。この電極間

1 1

この遮光膜は、前述した3つの機能に必要最小限の部分及びこれに位置合せの許容度を考慮して設けることが好ましい。これは蓄積容量を増加させるということは表示画素電極の開口部が減少することになり、表示が暗くなってしまうためである。この場合、表示画素電極と重なる遮光膜の部分は、表示画素電極の全周囲にわたっていることが好ましく、位置合せ時に何れかの方向にずれを生じても、この重なり部分の巾以内であればブラックマトリックス効果を損しない。また、全周囲に設けておくことにより、いずれかの方向にずれても、蓄積容量の変化がほとんど無いという利点も生じる。これは、例えば第1図(a)で遮光膜が上にずれたとすると、表示画素電極の上の端側での表示画素電極と遮光膜との重なり巾が減少して蓄積容量が減少しても、逆の表示画素電極の下の方端側での表示画素電極と遮光膜との重なり巾が増大して蓄積容量が増加することとなり、その蓄積容量はほとんど同一となる。

1 3

の空隙は絶縁のためある程度は必ず必要とされるため、遮光膜によって光の透過を防止しないと、この部分からは常に光が漏れてきてしまうこととなり、表示のコントラストが充分にとれないことになってしまう。このため、この部分を遮光してやることにより、液晶層によるコントラストを完全に生かすことができ、スタティック駆動に近い高コントラスト表示を得ることができる。

本発明の遮光膜兼蓄積容量兼ブラックマトリックス用の遮光膜は、導電性を有するものであれば何でも使用できるが、蓄積容量として使用されることから、外部から入力された信号を波形の鈍化無しに伝はんさせることが必要とされるので、低抵抗の材料が好ましい。このため、通常は電極を形成するのに使用されるAl、Cr、Ti等の金属材料の膜が好適であり、電極の形成と同様のプロセスで製膜及びパターニングできる。もちろん、この遮光膜は1層であってもよいし、複層としても良い。

1 2

それと同時に、第1図(a)に示されるように半導体層と関係無い部分及び半導体結層の上に電極が形成されている部分のゲート電極、ソース電極、ドレイン電極部分には遮光膜を設けないようにすることが好ましい。これは、ゲート電極、ソース電極との間での容量を減少させて信号に悪影響を生じにくくするため及び遮光膜が導電性であり、この遮光膜とその下に形成された電極との短絡の危険を減少させるためである。もちろん、この場合にも、前述したように位置合せのずれを考慮して、その開口部はやや小さくされる。

なお、この好ましくない容量を小さくするため及び電極との短絡を防止するために遮光膜の下に設けられる絶縁膜8はある程度厚くすることが好ましい。具体的には200~1000nm程度とされればよい。これは、あまり厚くしすぎると絶縁膜に内在する膜ストレスや膜中の不純物によりTFTの特性に悪影響を与えることがあるので、特に300~600nm程度とされることが好

1 4

ましい。もちろん、この絶縁膜を複層にして連続して、または間を切って断続して異なる材料で形成しても良い。

以上の例では、逆スタガー型TFTについて説明したが、他の構造の能動素子であっても適用できる。このため、構造によっては、本発明の遮光膜を基板側、即ち、能動素子の下側に形成することもある。

このようにして形成された能動素子基板と対向電極基板との間に液晶、エレクトロクロミック材料等を挟持して表示を行う。

本発明では、これらの外に種々の応用が可能であり、カラーフィルターを設けてカラー表示を行うことができる。このカラーフィルターは能動素子基板側に設けてもよいし、対向電極基板側に設けてもよい。また、電極の上に形成してもよいし、電極の下に形成してもよく、印刷法、蒸着法、染色法等公知のカラーフィルター形成法が使用できる。本発明では、高コントラストとすることができるので、特にカラーの階

15

[実施例]

第1図の構造である逆スタガー構造のTFTによる能動素子基板を作成した。

まず、ガラス基板上にゲート電極を形成するためのCrを150nm電子ビーム蒸着法により堆積し、エッチングしてパターニングした。次に、プラズマCVD法でゲート絶縁膜としてのSiON膜200nm及び半導体層としてのアモルファスシリコン(a-Si)層120nm及び電極/半導体層接合部のコンタクト特性改善のためのn⁺a-Si層50nmを連続的に堆積した。その後、n⁺a-Si層及びa-Si層を選択的にパターニングして薄膜トランジスタの半導体層を形成した。次に、ソース電極とドレイン電極とを形成するためにCrとAlを連続的に電子ビーム蒸着法で300nm厚となるように堆積し、パターニングしてソース電極とドレイン電極とを形成した。ここでTFTのチャネル部分に残されているn⁺a-Si層を除去するために、ソース電極とドレイン電極のパターンを利用して選択的にエッチングした。さらに、表

17

面表示に好適である。

画素電極の形状も前記の例では正形状としたが、長方形、六角形、三角形、円形等にしてもよいし、表示色によって表示画素電極の大きさや形状を変えたりしてもよい。

また、液晶を特定の方向に配向させる配向膜、反射電極、偏光膜、強誘電体膜等を積層してもよく、液晶中に2色性色素等を添加してもよく、周辺に駆動回路用の能動素子を形成または駆動回路ICを取付する等してもよい。

本発明では能動素子は1画素に1個形成されていればよいが、冗長性を増すために能動素子を複数個並列に、または駆動電流値を増加させるために能動素子を複数個直列に形成するようにしてもよい。さらに、冗長性を増すために、ゲート電極やソース電極の予備配線を形成する等してもよい。

この外、本発明の効果を損しない範囲内で能動素子基板に用いられる他の構成が付加されていてもよい。

16

示画素電極を形成するためのITOを100nm電子ビーム蒸着法により堆積し、リフトオフ法によってパターニングした。

さらにその上に、本発明の遮光膜と電極との間を絶縁するための絶縁膜であるSiON膜をプラズマCVD法で400nmに堆積し、その後、本発明の遮光膜としてAlを200nm蒸着して、パターニングして遮光膜兼蓄積容量兼ブラックマトリックス用の遮光膜を形成した。

比較のために、本発明の遮光膜兼蓄積容量兼ブラックマトリックス用の遮光膜を形成していない能動素子基板(比較例)を製造した。

本発明の実施例の能動素子基板と比較例の能動素子基板との特性評価を行った。この特性評価には、まず暗状態における静特性を測定し、次に明状態における静特性を測定するという方法で行った。なお、明状態における光の入射方向は、ガラス基板とは反対側、即ち、半導体層上部から入射するようにした。

実施例の能動素子基板においては、明状態に

18

おけるオフ電流の増加は、たかだか1ケタ程度以下であったのに対し、比較例の能動素子基板においてはオフ電流の増加は3ケタ程度以上にもなった。

次いで、これらの能動素子基板上に配向を制御するためのポリイミドの膜を形成し、静電気による破壊を生じないようにラビングした。

また、対向電極基板は、ガラス基板上にITO膜を形成し、各画素に対応する部分に夫々の色のカラーインクを印刷により付与して、カラーフィルターを形成し、さらにポリイミドの膜を形成し、これをラビングして形成した。

これらの能動素子基板の周辺にシール材と基板間の導電接続用のインクを印刷し、能動素子基板と対向電極基板とを圧着してセル化を行い、液晶を注入して、その両面に一對の偏光膜を配置してTNアクティブマトリックス型液晶表示素子を製造した。

この実施例の液晶表示素子は、遮光膜を設けたことによりオフ電流の増加が抑止され、蓄積

19

り、さらにブラックマトリックス構成としたことにより電極間隙からの非旋光性透過光によるコントラストの低下が防止されるものである。

これにより、大幅な表示品位の改善効果が得られる。

本発明では、このような大きな効果を生じるにもかかわらず、これらの3つの機能を有する遮光膜を1工程で同時に形成できるため、極めて生産性が高いものである。即ち、従来の単に遮光膜のみ、または蓄積容量のみを形成するのと同等の工程でよく、3つの機能を持たせるために新たに工程の追加を必要としない。このため製造プロセスの工程増加という問題を生じなく、生産性の低下及び歩留まりの低下という問題点を生じない。

さらに、蓄積容量構成のために表示画素電極周辺で表示画素電極と遮光膜とが重なる構成を採っているため、位置合せ時に位置が若干ずれても、ブラックマトリックス構成が保たれ、製造工程における遮光膜の位置合せの許容度も大

容量を並列に設けたことにより駆動電圧のシフトの程度が少なくなり安定な駆動が可能となり、ブラックマトリックスとしたことにより非旋光性透過光によるコントラストの低下が防止されることとなり、大幅な表示品位の改善効果が見られた。

また、これらの3つの機能を有する遮光膜を1工程で同時に形成できたため、単に遮光膜のみを形成した従来例と同等の工程でよく、製造プロセスの工程増加という問題を生じなく、生産性の低下及び歩留まりの低下という問題点を生じなかった。

さらに、遮光膜の位置合せの許容度も高いものであった。

[発明の効果]

本発明では、遮光膜兼蓄積容量兼ブラックマトリックス用の遮光膜を設けることにより明状態におけるオフ電流の増加が抑止され、蓄積容量を並列に設けることにより駆動電圧のシフトの程度が少なくなり安定した駆動が可能とな

20

きいという利点も有する。

本発明は、このほか、本発明の効果を損しない範囲内で種々の応用が可能なるものである。

4. 図面の簡単な説明

第1図は、本発明の代表的な例の能動素子基板を示しており、(a)はその平面図であり、(b)はそのAA断面図である。

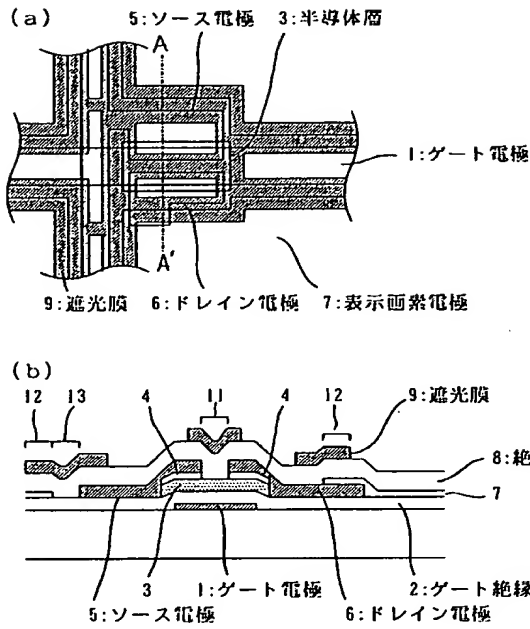
第2図は、逆スタガー型の薄膜トランジスタの断面図である。

ゲート電極	: 1
ゲート絶縁膜	: 2
半導体層	: 3
ソース電極	: 5
ドレイン電極	: 6
表示画素電極	: 7
絶縁膜	: 8
遮光膜	: 9

代理人 梅村繁



第 1 図



第 2 図

